

ハードウェア マスター IP

日本発、EtherCAT マスター IP
ソフトウェア負荷を大幅に低減する、高性能 SoC FPGA 用 IP が誕生。

高速性

周期性

安定性

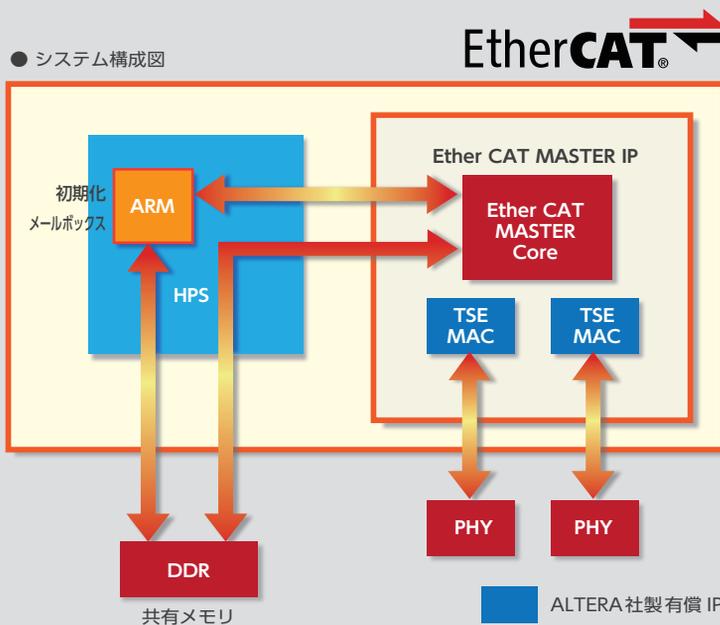
汎用性



御社の基板に実装するだけで、すぐに EtherCAT に対応！

弊社は、株式会社日立産機システムが保有する EtherCAT ハードウェアマスターの技術提供を受け、より多くのユーザー様に柔軟にご使用いただけるよう、SoC FPGA 用 IP にしました。FPGA ハードウェアによる通信エンジンは、高速な通信間隔、安定した通信周期を実現し、ソフトウェア負荷を低減します。CPU の処理リソースを、よりアプリケーションに割り当てることを可能とし、ソフトウェアの負荷変動（機能追加含む）は通信に影響を与えません。また、IP 形態により自社ボードに「直接的」に搭載することを可能とします。

● システム構成図



項目	内容	備考
通信プロトコル	EtherCAT (IEC 61158-3/4/5/6-12) (CoE (CANopen Over EtherCAT) 対応)	CoE 以外のメールボックス機能は未対応です UDP EtherCAT communication 未対応です
伝送速度	100Mbps (100BASE-TX)	AUTO MDIX 対応
通信ポート数	2ポート	メイン用1ポート / 冗長用1ポート
プロセス通信周期	62.5μs ~ 65,535μs	ただし、データ数、スレープ数によります
メールボックス	スレープ数分	同一スレープに対し、メールボックス要求中に、別メールボックス要求はできません
最大スレープ数	230スレープ (但し、トータルプロセスデータ数 入出力各 Max.3KByte)	データ数およびスレープの対応コマンドにより、230スレープ接続できない場合があります
機能	<ul style="list-style-type: none"> ・パケット自動生成機能 ・プロセス通信 (定周期通信) 機能 ・メールボックス通信機能 ・再送機能 ・割込機能 (メールボックス受信・アラーム要因等) ・ウォッチドッグ機能 ・高精度時刻同期 (Distributed Clock) 機能 ・冗長化機能 ・ハードウェア非常停止機能 ・データグラム切り替え機能 	再送機能は、独自の追加機能です

●EtherCAT は、ドイツ Beckhoff Automation GmbH によるライセンスされた特許取得済みであり登録商標です。
●ハードウェア EtherCAT MASTER Core に関するハードウェア、ソフトウェアの各権利は株式会社日立産機システムに帰属します。